

Fizičko projektovanje

Sadržaj:

1. Osnovni CMOS proces
2. Pravila projektovanja
- 3. Potpuno projektovanje po narudžbini**
4. Delimično projektovanje po narudžbini

Potpuno projektovanje po narudžbini

Sadržaj:

- 3.1 Ocena uspešnosti projekta**
- 3.2 Projektovanje statičkih logičkih kola
- 3.3 Simboličko projektovanje
- 3.4 Projektovanje veza
- 3.5 Uzroci otkaza

3.1 Ocena uspešnosti projekta

Kriterijumi za procenu kvaliteta projekta:

- Cena
- Pouzdanost
- Potrošnja energije
- Mogućnost skaliranja

3.1 Ocena uspešnosti projekta

Pored kriterijuma treba sagledati parametre od kojih zavisi ispunjenost kriterijuma. Postoji više parametara a najvažniji su:

- Površina čipa
- Vreme projektovanja
- Testabilnost

3.1 Ocena uspešnosti projekta

Manja površina znači

- manje silicijuma,
 - veći prinos
- ali
- veća kašnjenja
 - veća gustina snage.

3.1 Ocena uspešnosti projekta

Kraće projektovanje znači

- Manja cena projektovanja,
- Veća površina čipa
- Brži izlazak na tržište.

3.1 Ocena uspešnosti projekta

Testabilnost označava sposobnost kola da bude testirano.

Testirano kolo garantuje kvalitet i opstanak na tržištu.

- Projektovanje za testabilnost, - ugradnja testne logike na čipu za efikasno testiranje
- Veća površina čipa
- Veća cena projektovanja.

3.1 Ocena uspešnosti projekta

Svaki projekat ima specifične prioritete u određivanju parametara i kriterijuma.

3.1.1 Cena

Cena projekta IK zavisi od
Fiksni troškova C_f i proporcionalnih
troškova C_p :

$$C = \frac{C_f}{N} + C_p$$

N – obim proizvodnje

3.1.1 Cena

U fiksne troškove C_f spadaju:

- ♦ Troškovi projektovanja, C_D
- ♦ Troškovi izrade maske, C_M
- ♦ Ostali fiksni troškovi (zakup prostora, i sl.), C_{fo}

Najveći deo fiksnih troškova odnosi se na cenu projektovanja koju čine investiranje u projektante i investiranje u alate.

$$C_f = C_D + C_M + C_{fo}$$

3.1.1 Cena

Troškovi proporcionalni obimu proizvodnje C_p :

- ♦ Troškovi utrošenog materijala (silicijuma, hemikalija i sl.) za proizvodnju jednog čipa, C_p ,
- ♦ Troškovi asembliranja (montaže u kućište), C_a ,
- ♦ Troškovi testiranja, C_t ,
- ♦ Ostali troškovi (pakovanja i sl.), C_{po} , proporcionalni veličini serije i površini čipa

3.1.1 Cena

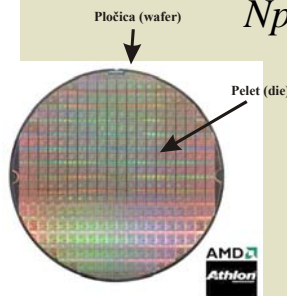
Da bi se odredila cena proizvodnje IK (koja direktno utiče na proporcionalne troškove), treba definisati i pojam prinosa (*Yield, Y*).

$$Y = \frac{N_{pi}}{N_p}$$

Prinos se definiše kaokoličnik broja ispravnih peleta na pločici N_{pi} i broja ukupnog broja peleta na pločici N_p

3.1.1 Cena

Napločici prečnika D_w moguće je proizvesti ukupno N_p peleta površine A_p

$$N_p = \frac{\pi \times (D_w/2)^2}{A_p} - \frac{\pi \times D_w}{\sqrt{2} \times A_p}$$


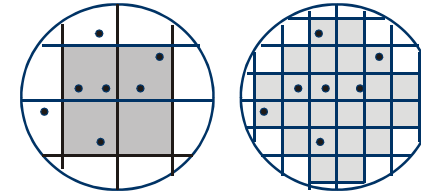
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



16

3.1.1 Cena

Na prinos po pločici utiče gustina defekata g_D [broj defekata/cm²] i dimenzije peleta



$$Y_p = \left(1 + \frac{g_D \cdot A_p}{\alpha} \right)^{-\alpha}$$

gde je $\alpha \approx 3$

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



17

3.1.1 Cena

Cena izrade jednog peleta C_p može da se definiše kao odnos cene procesiranja jedne pločice C_w i ukupnog broja ispravnih peleta:

$$C_p = \frac{C_w}{N_p \cdot Y_p}$$

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



18

3.1.1 Cena

Treba dodati i ostale proporcionalne troškove koji se odnose na cenu asembliranja, C_a , testiranja C_t i pakovanja, C_{pa} tako da je:

$$C_p = C_p + C_a + C_t + C_{pa}$$

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



19

3.1.2 Pouzdanost

Projektovanje pouzdanih IK zahteva poznavanje osnovnih uzroka potencijalnih defekata.

Defekti koji izazivaju potpuni gubitak funkcije kola nazivaju se **otkazi** ili **tvrdi defekti**.

Ukoliko defekt naruši neki parametar kola (kašnjenje, potrošnja i sl.) ali ne izazove potpuni gubitak funkcije, onda se on naziva **meki defekt**.

3.1.2 Pouzdanost

Osnovni pojmovi:

Srednje vreme otkaza označava se sa MTBF

– *Mean Time Between Failours*,

a računa se kao

$$\text{MTBF} = (\text{broj_IK} \cdot \text{časovi_rada}) / (\text{broj_otkaza})$$

3.1.2 Pouzdanost

Osnovni pojmovi:

Broj otkaza u vremenu

označava se sa FIT – *Failurs In Time*,

a računa se kao

$$\text{FIT} = \text{mogući broj otkaza kod } 10^6 \text{ komponenti} \\ \text{posle } 1000 \text{ sati rada} = 10^9 \text{ (broj otkaza/času)}$$

3.1.2 Pouzdanost

Kod komponenata sa FIT=1000 očekuje se otkaz posle 10^6 časova, odnosno 114 godina.

To važi za jednu komponentu, međutim, ako uređaj ima u sebi 10 komponenti sa istim FIT faktorom od 1000, a isporučuje se 100 uređaja, FIT za celu seriju biće $10 \cdot 1000 \cdot 100 = 10^6$, što znači da se očekuje otkaz na 1000 sati rada, odnosno 42 dana.

Zato je cilj da se postigne pouzdanost $\text{FIT} < 100$.

3.1.2 Pouzdanost

Najčešći uzroci otkaza su:

- Elektromigracija
- Samozagrevanje,
- Vrući nosioci (*Hot carier*),
- Lečap (*Latchup*),
- Preveliki napon.

24

3.1.2 Pouzdanost

Elektromigracija predstavlja pojavu „odnošenja“ metala koja nastaje migriranjem atoma metala usled velikih gustina struja.

Problem je naročito izražen kod jednosmernih struja jer atomi migriraju u jednom smeru i brže dolazi do oštećenja veza. Otuda je ovaj proces izražen kod metalnih linija vezanih za drejn i sors.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



25

3.1.2 Pouzdanost

Na elektromigraciju naročito su osetljive aluminijumske veze kod kojih gornja granica gustine jednosmernih struja iznosi

$$J_{DC}=1-2 \text{ mA/mm}^2 \text{ pri } 110^\circ \text{ C.}$$

Za bakar

$$J_{DC} > 10\text{mA/mm}^2.$$

26

3.1.2 Pouzdanost

Samozagrevanje takođe nastaje usled velikih gustina struja, a karakteristično je za bidirekzione veze u kojima se signali prostiru u oba smera i za komponente sa pozitivnim temperaturnim koeficijentom.

Imajući u vidu da elektromigraciju pospešuje povišena temperatura, najčešće oba uzroka deluju kombinovano. Granična vrednost gustine efektivne struje za aluminijumske veze iznosi

$$J_{eff} < 15\text{mA/mm}^2.$$

27

3.1.2 Pouzdanost

Oba problema (*elektromigracija i samozagrevanje*) rešavaju se smanjenjem gustine struja:

- tako što se poveća širina veza ili
- smanji odnos W/L tranzistora, čime daje manju struju.

3.1.2 Pouzdanost

Vrući nosioci nastaju tokom brze promene stanja tranzistora, kada nosioci dobiju dovoljnu energiju da injektuju u oksid ispod gejta i ostanu zarobljeni u njemu.

Oštećeni oksid degradira I-V karakteristike tranzistora tako što smanjuje struju kod nMOS, a povećava kod pMOS tranzistora.

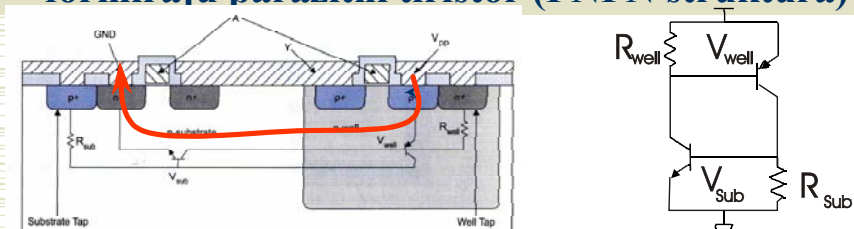
3.1.2 Pouzdanost

Negativni efekat je naročito ispoljen pri velikim strujama u supstratu koje su karakteristične kod nMOS tranzistora u slučaju porasta ulaznog napona kada tranzistor radi u zasićenju.

Problem je karakterističan za invertore i NOR kola sa velikim opterećenjem na izlazu u slučaju da se ulazni signal brzo menja i kod kola sa velikim naponima napajanja.

3.1.2 Pouzdanost

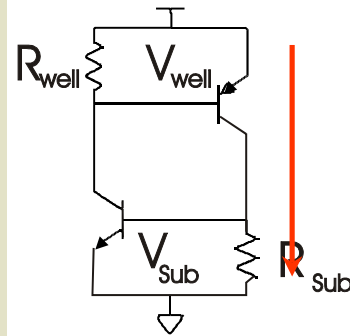
Lečap je pojava karakteristična za CMOS procese koja se manifestuje uspostavljanjem neželjene veze između napona napajanja VDD i VSS preko parazitnih bipolarnih tranzistora koji formiraju parazitni tiristor (PNPN struktura)



3.1.2 Pouzdanost

Pri normalnom radu, bipolarni tranzistori su zakočeni.

Međutim, tokom uključivanja napajanja ili u slučaju da napon $V_{sub} > V_{SS}$ ili $V_{well} < V_{DD}$, tranzistori provedu, a struja između V_{DD} i V_{SS} može da dovede do samozagrevanja i topljenja metalne veze napajanja.



<http://leda.elfak.ni.ac.yu/>



32

3.1.2 Pouzdanost

Na ovaj efekat naročito su osetljive ulazno/izlazne (I/O – *Input/Output*) ćelije.

Efekat se umanjuje ubacivanjem zaštitnih prstenova n-tipa oko difuzija p-tipa i obrnuto.

Prsten n-tipa vezuje se za VDD,

Prsten p-tipa vezuje se za VSS

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



33

3.1.2 Pouzdanost

Preveliki napon, zavisno od mesta na kome se javi, može da ugrozi različite delove kola.

Ukoliko se javi na gejtu tranzistora, lako može da izazove proboj tankog oksida.

Veliki napon između drejna i sorsa može da dovede do proboja (*punchthrough*).

Ovaj napon najčešće nastaje usled elektrostatickog pražnjenja ili šuma u napajanju.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



34

3.1.2 Pouzdanost

Pouzdanost se povećava:

- smanjenjem napona napajanja,
- snižavanjem šuma u izvorima za napajanje ili
- povećanjem debljine oksida u I/O ćelijama.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



35

3.1.2 Pouzdanost

Osim tvrdih defekata, na pouzdanost utiču svi ostali faktori koji mogu da izazovu pogrešan rad IK:

- šum koji potiče od izvora za napajanje,
- preslušavanje, odnosno interferencija signala,
- šumovi izazvani odstupanjem nekih karakteristika od nominalnih vrednosti.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



36

3.1.2 Pouzdanost

Postoje dve osnovne strategije zaštite.

- ◆ Eliminacija izvora šuma,
- ◆ Povećanje margine šuma, (da kolo bude manje osetljivo na šumove).

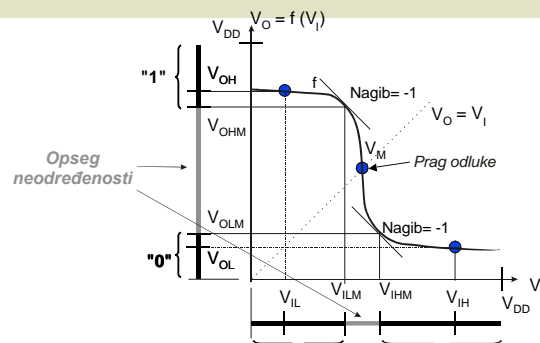
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



37

3.1.2 Pouzdanost

Osetljivost na šum je manja kod logičkih kola sa većom *marginom šuma*.



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



38

3.1.2 Pouzdanost

Strategija za veću pouzdanost:

- ◆ Fizički udaljiti signale osetljive na šumove od izvora šuma,
- ◆ Ograditi osetljive delove čipa zaštitnim prstenovima.

Nažalost, oba načina dovode do povećanja površine čipa.

Pojam pouzdanosti vezan je za iskustvo, kako u projektovanju tako i u proizvodnji.

39

3.1.3 Brzina

Brzina rada integrisinih kola zavisi od:

- ♦ dinamičkih parametara osnovnih logičkih blokova (uobičajeni naziv za osnovni logički blok je ćelija ili gejt) i
- ♦ veza.

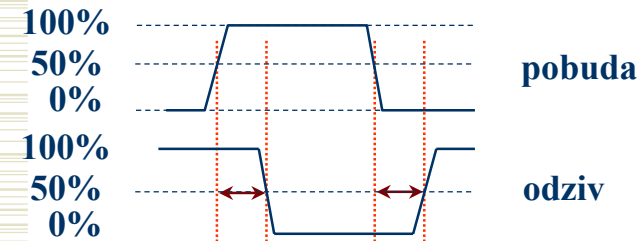
Osnovni vremenski parametri logičkih kola:

- ♦ *vreme kašnjenja signala* i
- ♦ *vreme uspostavljanja signala*.

40

3.1.3 Brzina

Vreme kašnjenja (propagaciono kašnjenje) definiše se kao vreme koje protekne od trenutka kada pobudni signal pređe 50% nominalne vrednosti do trenutka kada odziv dostigne 50% nominalne vrednosti.



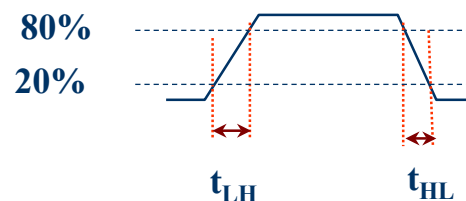
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



41

3.1.3 Brzina

Vreme uspostavljanja signala definiše se kao vreme za koje signal promeni vrednost od 20% do 80% nominalne vrednosti, za rastuću (prednju) ivicu, odnosno od 80% do 20% za opadajuću (zadnju) ivicu.



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



42

3.1.3 Brzina

Minimalno vreme kašnjenja odziva nekog logičkog kola na pobudu zove se *kontaminaciono* kašnjenje i označava se sa t_c .
Maksimalno vreme kašnjenja odziva naziva se *propagaciono* kašnjenje i obeležava se sa t_p .

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



43

3.1.3 Brzina

Dva aspekta brzine u proceni kvaliteta IK

- ♦ Povećanje brzine rada IK nastalo kao posledica uvođenja nove tehnologije sa manjim i bržim tranzistorima.
- ♦ Povećanje brzine prenosa signala u okviru IK koja se fabrikuju istim tehnološkim procesom.

3.1.3 Brzina

(Tehnološki)

Smanjenje dimenzija tranzistora (skaliranje) rezultira smanjenjem svih dinamičkih parametara logičkih gejtova.

Ono dovodi do smanjenja vremena potrebnog za obradu informacija, odnosno povećanja maksimalne radne frekvencija signala takta.

3.1.3 Brzina

(Projektantski)

Brzinu digitalnog kola ograničavaju dinamički parametri signala na putu sa najvećim kašnjenjem. To su takozvani *kritični putevi*.

Zato se optimizacija sa stanovišta brzine obavlja sa ciljem da se izbegnu kritični putevi ili da se na njima kašnjenje signala svede u prihvatljive okvire.

3.1.3 Brzina

O kritičnim putevima treba voditi računa na svim nivoima dekompozicije projekta, kako tokom strukturnog, tako i tokom fizičkog projektovanja.

Dobro projektovana arhitektura može da reši najveći broj problema vezanih za kritične puteve.

To zahteva detaljna znanja o algoritmima, ali i tehnologiji u kojoj se planira realizacija.

3.1.3 Brzina

Treba znati:

- koliko kašnjenja logičkih gejtova može da se uklopi u jednu poluperiodu signala takta,
- koliko traje operacija sabiranja,
- koliko brzo može da se pristupi memoriji i
- koliko je kašnjenje signala na vezama.

3.1.3 Brzina

Na osnovu toga izračunava se da li i u koliko koraka može da se primeni segmentacija u protočnim arhitekturama (*pipelining* - *pajplajning*), ili da se utvrdi veličina memorije.

3.1.3 Brzina

Na logičkom nivou apstrakcije bira se arhitektura optimalnog funkcionalnog bloka (tip sabirača, množača i sl.).

Na električnom nivou, dodatna optimizacija kašnjenja može da se obavi izborom dimenzija tranzistora.

3.1.3 Brzina

U fizičkom domenu,

- veoma je važno da se u startu napravi dobar plan površine (*floor planning*), jer od njega zavise rezultati globalnog i detaljnog razmeštaja i povezivanja;
- moguće je dodatno fino podešavanje parazitnih kapacitivnosti od kojih značajno zavisi kašnjenje pojedinih logičkih gejtova.

3.1.3 Brzina

Praktično je nemoguće popraviti na nižim nivoima apstrakcije greške koje su napravljene tokom projektovanja na višim nivoima.

Realizacija logičke funkcije sa manjim kašnjenjem u određenoj tehnologiji obično zahteva veću površinu čipa, tako da se tokom projektovanja traži optimalni kompromis.

3.1.4 Potrošnja

CMOS kola karakteriše veoma mala potrošnja u odnosu na druge tehnologije.

Praktično, potrošnja postoji samo tokom kratkog intervala u vreme promene stanja signala u kolu, dok je u stacionarnom stanju veoma mala.

Zato se, tradicionalno, tokom projektovanja CMOS IK nije vodilo računa o potrošnji.

3.1.4 Potrošnja

Drastično povećanje broja tranzistora na čipu i porast frekvencije takta dovelo je kriterijum potrošnje energije u prvi plan tokom projektovanja.

3.1.4 Potrošnja

Osnovni pojmovi

Trenutna snaga izvora za napajanje,
 $P(t)$,

definiše se kao proizvod napona napajanja V_{DD} i trenutne vrednosti struje koju kolo troši $i_{DD}(t)$

$$P(t) = i_{DD}(t) \cdot V_{DD}$$

3.1.4 Potrošnja

Osnovni pojmovi

Srednja vrednost utrošene snage P , u toku vremenskog intervala T izračunava se kao

$$P_s = \frac{1}{T} \int_0^T P(t) dt.$$

3.1.4 Potrošnja

Osnovni pojmovi

Energija koja se potroši tokom vremenskog intervala T predstavlja integral snage u vremenu:

$$E = \int_0^T P(t) dt = V_{DD} \int_0^T i_{DD}(t) dt$$

3.1.4 Potrošnja

Osnovni pojmovi

Energija po operaciji, odnosno po promeni stanja na gejtju izračunava se kao proizvod utrošene snage i vremena koje protekne do uspostavljanja novog stacionarnog stanja.

Jednaka je proizvodu snage i kašnjenja gejtja.

Kao mera kvaliteta logičke ćelije posmatra se i proizvod energije i kašnjenja gejtja

3.1.4 Potrošnja

Osnovni pojmovi

Disipacija snage ima dve komponente:

- statičku i
- dinamičku.

3.1.4 Potrošnja

U idealnom slučaju, statička disipacija u CMOS kolima jednaka je nuli.

Ovo je važno u prvim decenijama primene CMOS kola.

Sa smanjivanjem dimenzija tranzistora i porastom broja tranzistora po čipu, problem struja koje teku ("cure") kroz zakočene tranzistore postaje dominantan

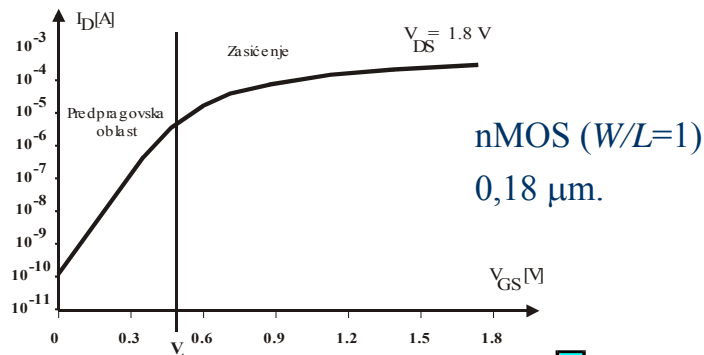
3.1.4 Potrošnja

Osnovni uzroci struja curenja kroz zakočene tranzistore:

- ♦ predpragovske struje (struje koje teku pri naponima na gejtu tranzistora manjim od napona praga),
- ♦ struje nastale tunelovanjem elektrona kroz oksid gejta,
- ♦ struje curenja kroz inverzno polarisane *pn* spojeve.

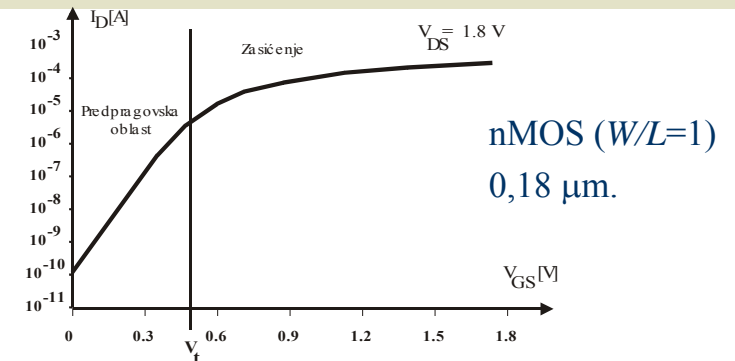
3.1.4 Potrošnja

Za napone na gejtu manje od napona praga, $V_{gs} < V_t$, struja nije jednaka nuli već eksponencijalno pada

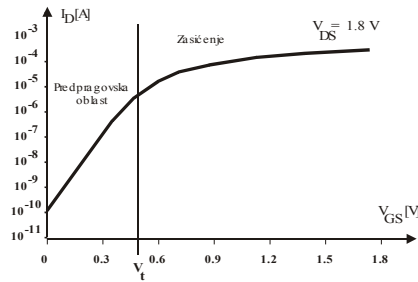


3.1.4 Potrošnja

Za $V_{gs} < V_t$, teče mala *predpragovska* struja



3.1.4 Potrošnja



Predpragovska struja raste sa opadanjem napona praga, što je neminovno kada se dimenzije tranzistora smanjuju

3.1.4 Potrošnja

Silicijum dioksid je odličan izolator, zato je curenje kroz oksid gejta bilo zanemarivo malo. Smanjenje dimenzija tranzistora ispod 130nm dovelo je do značajnog smanjenja debljine oksida gejta na ispod 2nm, tako da elektroni mogu mnogo lakše da tuneluju kroz njega.

3.1.4 Potrošnja

Postoji i struja curenja kroz inverzno polarisane pn spojeve. U savremenim procesima ova struja je mnogo manja od prethodne dve, tako da može da se zanemari.

3.1.4 Potrošnja

Statička struja curenja I_{stat} postala je dovoljno značajna da se nalazi među kataloškim podacima za nove tehnologije i izražava se u nA/ μ m dužine gejta. U uređajima koji se napajaju iz baterija, statička struja ne bi smela da premaši 100 μ A!

3.1.4 Potrošnja

S obzirom da se vrednost ukupne statičke struje, I_{stat} , ne menja sa vremenom, statička komponenta snage računa se kao:

$$P_{stat} = I_{stat} \cdot V_{DD}$$

3.1.4 Potrošnja

Primer:

Digitalni sistem koji je realizovan u 100nm procesu, sadrži 200 miliona tranzistora i napaja se sa 1.2V. Kontrolna logika sastoji se od 20 miliona tranzistora sa srednjom širinom kanala od 0.6 μ m. Ostali tranzistori čine memorijski niz, a njihova srednja širina iznosi 0.2 μ m. Svi tranzistori sem 20% onih u logičkim gejtovima realizovani su sa debljim oksidom tako da im je struja curenja gejta 0.002nA/ μ m. Oni imaju veći napon praga i predpragovsku struju od 0.02nA/ μ m. Ostali tranzistori realizovani su sa tanjim oksidom i manjim naponom praga, pa im je struja curenja gejta 3nA/ μ m, a predpragovska struja 20nA/ μ m.

Proceniti statičku potrošnju, ako se pretpostavi da je polovina tranzistora zakočena i da je struja curenja inverzno polarizovanih *pn* spojeva zanemariva.

3.1.4 Potrošnja

Rešenje:

Ukupna dimenzija tranzistora sa povišenim strujama curenja iznosi

$$W_H = (0.2 \cdot 20 \cdot 10^6) \cdot (0.6 \mu\text{m}) = 2.4 \cdot 10^6 \mu\text{m},$$

Ukupna dimenzija tranzistora sa manjim strujama curenja

$$W_L = ((0.8 \cdot 20 \cdot 10^6) \cdot (0.6 \mu\text{m}) + 180 \cdot 10^6 \cdot (0.2 \mu\text{m})) = 45.6 \cdot 10^6 \mu\text{m}.$$

3.1.4 Potrošnja

Rešenje:

Curenje struje gejta ispoljava se kod svih tranzistora, dok se predpragovska struja javlja samo kod tranzistora koji su zakočeni (50%).

Ukupna statička struja curenja:

$$\begin{aligned} I_{stat} &= 2.4 \cdot 10^6 \mu\text{m} \cdot [(20 \text{nA}/\mu\text{m})/2 + (3 \text{nA}/\mu\text{m})] + \\ &+ 45.6 \cdot 10^6 \mu\text{m} \cdot [(0.02 \text{nA}/\mu\text{m})/2 + (0.002 \text{nA}/\mu\text{m})] = \\ &= 32 \text{mA}, \end{aligned}$$

a statička snaga

$$P_{stat} = (32 \text{mA}) \cdot (1.8 \text{V}) = 38 \text{mW}.$$

3.1.4 Potrošnja

Dinamička disipacija nastaje kao posledica promene stanja u logičkim kolima.

Tom prilikom teku dve komponente struje kroz kolo.

- ♦ Struje punjenja/pražnjenja kondenzatora.
- ♦ Struje kroz tranzistore u kratkom intervalu kada vode i pMOS i nMOS tranzistori (struje “kratkog spoja”)

3.1.4 Potrošnja

Uticaj struje punjenja/pražnjenja kondenzatora.

Pretpostavimo da se kondenzator C ciklično puni/prazni između vrednosti V_{DD} i $V_{SS} = GND = 0$, sa srednjom frekvencijom f_{pp} .

Za vremenski interval t , on će se puniti/prazniti $t f_{pp}$ puta.

Tokom jednog ciklusa ukupno naelektrisanje

$$Q = C \cdot V_{DD} \text{ preneće se od } V_{DD} \text{ do } GND.$$

3.1.4 Potrošnja

Uticaj struje punjenja/pražnjenja kondenzatora.

Srednja snaga disipacije biće:

$$\begin{aligned} P_{dynC} &= \frac{1}{T} \int_0^T i_{DD}(t) V_{DD} dt \\ &= \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt \end{aligned}$$

3.1.4 Potrošnja

Uticaj struje punjenja/pražnjenja kondenzatora.

Uz pretpostavku da se za interval T izvrši prenos celokupnog naelektrisanja Q dobija se

$$P_{dynC} = \frac{V_{DD}}{T} [T f_{pp} C V_{DD}] = C V_{DD}^2 f_{pp}$$

3.1.4 Potrošnja

Uticaj struje punjenja/pražnjenja kondenzatora.

Ne menjaju sva kola stanje u toku svakog taktnog intervala, već samo neka.

Zato se definiše faktor aktivnosti $\alpha < 1$

$$P_{dynC} = \alpha \cdot C V_{DD}^2 f_c$$

Empirijski je utvrđeno da je za statička logička kola
 $\alpha \approx 0.1$

3.1.4 Potrošnja

Uticaj struje kratkog spoja.

Tokom promene stanja u CMOS logičkim kolima, postoji interval u kome vode i nMOS i pMOS tranzistori.

Ovo stanje traje dokle god je ulazni napon V_i u opsegu

$$V_{tn} < V_i < V_{DD} - V_{tp}$$

(gde su V_{tn} i V_{tp} naponi praga nMOS i pMOS tranzistora, respektivno).

3.1.4 Potrošnja

Uticaj struje kratkog spoja.

Ukoliko se taj interval označi kao t_{sc} , broj promena u kolu iskaže preko faktora aktivnosti i frekvencije takta, a struja u celom intervalu aproksimira vršnom vrednošću I_{peak} , ukupna disipirana snaga usled ovog efekta biće jednaka:

$$P_{dynS} = \alpha \cdot f_c \cdot t_{sc} \cdot V_{DD} \cdot I_{peak}$$

3.1.4 Potrošnja

Uticaj struje kratkog spoja.

Ova komponenta snage raste ako su promene signala spore jer je vreme t_{sc} duže.

Da bi se smanjila ova komponenta snage, dobro je da se koriste tranzistori sa većom širinom kanala.

3.1.4 Potrošnja

Ukupna dinamička potrošnja

$$P_{dyn} = P_{dynC} + P_{dynS}$$

$$P_{dyn} = \alpha \cdot V_{DD} \cdot f_c \cdot (C \cdot V_{DD} + t_{sc} \cdot I_{peak})$$

3.1.4 Potrošnja

Primer

Pretpostavimo da digitalni sistem iz prethodnog primera koristi statičke logičke CMOS ćelije sa faktorom aktivnosti od $a_L = 0.1$, dok je faktor aktivnosti memorijskog dela $\alpha_M = 0.05$.

- Proceniti dinamičku disipaciju snage po MHz ako je podužna kapacitivnost $2\text{fF}/\mu\text{m}$, (zanemariti kapacitivnost veza i struje kratkog spoja).
- Proceniti dinamičku potrošnju pri frekvenciji takta od 1GHz kada bi faktor aktivnosti svih tranzistora bio $a = 0.25$.

3.1.4 Potrošnja

Rešenje:

Kapacitivnost tranzistora u logičkom delu iznosi

$$C_L = (20 \cdot 10^6 \text{ tranzistora}) \cdot (0.6 \mu\text{m}) \cdot (2 \text{ fF}/\mu\text{m}) = 24 \text{ nF.}$$

Kapacitivnost u memorijskom delu iznosi

$$C_M = (180 \cdot 10^6 \text{ tranzistora}) \cdot (0.2 \mu\text{m}) \cdot (2 \text{ fF}/\mu\text{m}) = 72 \text{ nF.}$$

3.1.4 Potrošnja

Rešenje:

- Da bi se dobila dinamička disipacija po MHz, ne treba množiti sa f_c , tako da je u logičkom delu

$$P'_{dynCL} = \alpha_L C_L V_{DD}^2 = (0.1) \cdot (24 \cdot 10^{-9}) \cdot (1.2\text{V})^2 = 3.4564 \text{ nW/Hz} \\ = 3.456 \text{ mW/MHz.}$$

U memorijskom delu iznosi

$$P'_{dynCM} = \alpha_M C_M V_{DD}^2 = (0.05) \cdot (72 \cdot 10^{-9}) \cdot (1.2\text{V})^2 = 5.184 \text{ nW/Hz} \\ = 5.184 \text{ mW/MHz.}$$

Ukupna dinamička potrošnja iznosi

$$P'_{dyn} = 8.64 \text{ mW/MHz ili } P_{dyn} = 8.64 \text{ W pri } f_c = 1 \text{ GHz.}$$

3.1.4 Potrošnja

Rešenje:

b) U slučaju da je faktor aktivnosti svih tranzistora $a=0.25$, ukupna dinamička disipacija snage iznosila bi

$$P'_{\text{dyn}} = \alpha (C_L + C_M) V_{DD}^2 = (0.25) \cdot (24 \cdot 10^{-9} + 72 \cdot 10^{-9}) \cdot (1.2V)^2 = 34.56 \text{ mW/MHz}$$

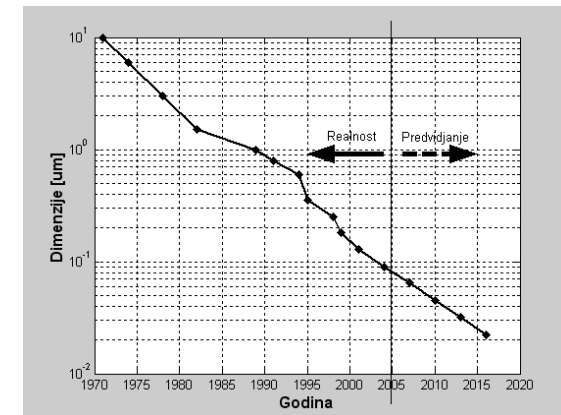
što bi za frekvenciji takta od 1GHz daje disipaciju $P_{\text{dyn}} = 34.56W$.

<http://leda.elfak.ni.ac.yu/>



84

3.1.5 Spособnost skaliranja



Nova tehnološka generacija sa smanjenim dimenzijama tranzistora pojavljuje u roku od par godina.

3.1.5 Spособnost skaliranja

Projektant danas ne može da očekuje da će inovirani dizajn projektovati sa istim tehnološkim parametrima i pravilima, po kojima je projektovao prethodni.

Zato unapred mora da zna kako će nova tehnologija uticati na performanse projekta.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



86

3.1.5 Spособnost skaliranja

Skaliranje dimenzija od $6\mu\text{m}$ do $1\mu\text{m}$, svodilo se samo na *lateralno skaliranje*, odnosno na smanjenje dužine kanala.

Ostale dimenzije, kao što su širina kanala i debljina oksida, napon napajanja i koncentracije primesa nisu menjane.

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



87

3.1.5 Sposobnost skaliranja

Ovakvo skaliranje, dovelo je do smanjenja kašnjenja sa kvadratom faktora skaliranja,

$$S = L/L',$$

L i L' označavaju staru i novu dužinu kanala, respektivno, ($S > 1$).

U istom odnosu redukovana je i cena.

Standardi u veličini naponskih nivoa na ulano-izlaznim priključcima IK nisu se menjali gotovo 20 godina.

88

3.1.5 Sposobnost skaliranja

Konstantan napon napajanja i smanjenje dužine kanala dovele su do znatnog povećanja električnog polja unutar komponente.

Do 1 μ m tehnologije, brzina zasićenja nosilaca postala je tolika da dalje smanjenje dimenzija nije davalo očekivane rezultate.

Pored toga, narastao je rizik od proboja usled velikog električnog polja.

Zato je rešenje traženo u

skaliranju sa konstantnim električnim poljem.

89

3.1.5 Sposobnost skaliranja

Da bi polje ostalo konstantno, sa smanjenjem dužine kanala treba smanjiti i napon napajanja.

S druge strane, da bi se zadržale i ostale karakteristike tranzistora, bilo je neophodno da se smanje sve dimenzije tranzistora (u sve tri dimenzije) i da se poveća koncentracija primesa.

3.1.5 Sposobnost skaliranja

Uporedni prikaz skaliranih parametara kod lateralnog i skaliranja sa konstantnim el. Poljem

Parametar	Laterano skaliranje	Konstantno el. polje
Dužina kanala: L	$1/S$	$1/S$
Širina kanala: W	1	$1/S$
Debljina oksida: t_{ox}	1	$1/S$
Koncentracija primesa: N	1	S
Napon praga: V_m, V_p	1	$1/S$
Napon napajanja: V_{DD}	1	$1/S$

3.1.5 Sposobnost skaliranja

Karakteristika tranzistora	Definicija	zavisnost od faktora skaliranja	
		lateralno skaliranje	konstantno el. polje
β	$(1/t_{ox})(W/L)$	S	S
Struja: I_{ds}	$\beta(V_{DD}-V_t)^2$	S	$1/S$
Otpornost: R	V_{DD}/I_{ds}	$1/S$	1
Kapacitivnost gejta: C	WL/t_{ox}	$1/S$	$1/S$
Kašnjenje: τ	RC	$1/S^2$	$1/S$
Frekvencija takta: f_c	$1/\tau$	S^2	S
Dinamička disipacija: P_{dinC}	$CV_{DD}^2f_c$	S	$1/S^2$
Površina čipa: A		$1/S$	$1/S^2$
Gustina snage	P_{dinC}/A	S^2	1
Gustina struje	I_{ds}/A	S^2	S

LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/



92

3.1.5 Sposobnost skaliranja

Karakteristika veze	Definicija	Tip skaliranja	
		2D	3D
Otpornost veze: R_w	$1/wt$	S	S^2
Bočna kapacitivnost: C_{wf}	t/s	S	1
Paralelna kapacitivnost: C_{wp}	w/h	1	1
Ukupna kapacitivnost veze: C_w	$C_w = C_{wf} + C_{wp}$	između 1 i S	1
RC konstanta bez ripitera: t_{wu}	$R_w C_w$	između S i S^2	S^2
RC konstanta sa ripiterima: t_{wr}	$(RCR_w C_w)^{1/2}$	između 1 i $S^{1/2}$	$S^{1/2}$
Šum preslušavanja	t/s	S	1
Gustina snage	P_{dinC}/A	S^2	1
Gustina struje	I_{ds}/A	S^2	S

LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/



93

3.1.5 Sposobnost skaliranja

Karakteristika veze	Definicija	Tip skaliranja	
		2D	3D
Dužina veze: l		$1/S$	$1/S$
RC konstanta bez ripitera	P_{twu}	između $1/S$ i 1	1
RC konstanta sa ripiterima	t_{wr}	između $1/S$ i $(1/S)^{1/2}$	$(1/S)^{1/2}$
Dužina globalne veze: L		D_c	D_c
RC konstanta globalne veze bez ripitera	P_{twu}	između SD_c^2 i $S^2 D_c^2$	$S^2 D_c^2$
RC konstanta globalne veze sa ripiterima	t_{wr}	između $D_c S$ i $D_c (1/S)^{1/2}$	$D_c (1/S)^{1/2}$

LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/



94

3.1.5 Sposobnost skaliranja

S obzirom da se skaliraju napon napajanja i napon praga, margine postaju sve manje, tako da se sa skaliranjem dimenzija povećava osetljivost na šumove.

Čim je razmak između veza manji, a frekvencije signala veće, raste opasnost od preslušavanja jer raste međusobna sprega između dve veze, kako preko induktivnih tako i preko kapacitivnih parazitnih elemenata.

LEDA - Laboratory for Electronic Design Automation
http://leda.elfak.ni.ac.yu/

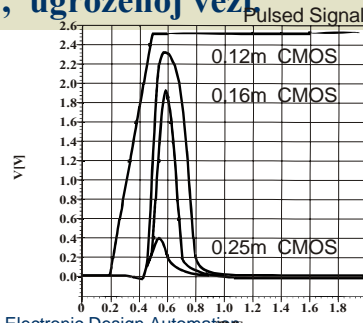


95

3.1.5 Sposobnost skaliranja

Uticao skaliranja na preslušavanje:

što su dimenzije tranzistora manje, promena signala na jednomvodu izaziva smetnju sa većom amplitudom na susednoj, ugroženoj vezi.



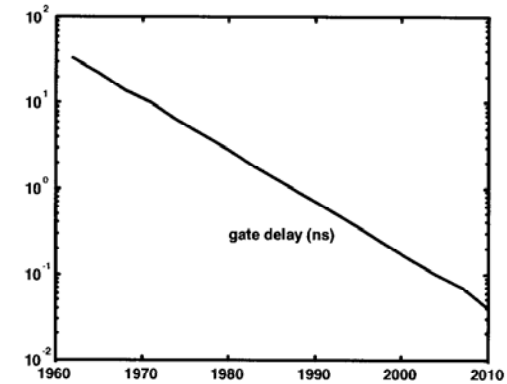
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



96

3.1.5 Sposobnost skaliranja

Uticao skaliranja na kašnjenje:



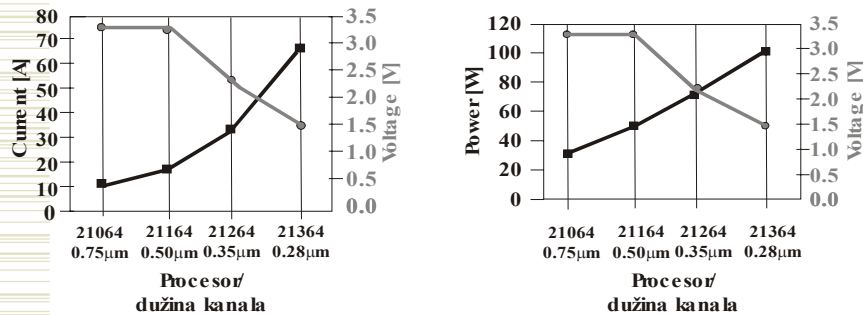
LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



97

3.1.5 Sposobnost skaliranja

Uticao skaliranja na potrošnju snage:



LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



98

Potpuno projektovanje po narudžbini

Sledećeg časa:

- 3.1 Ocena uspešnosti projekta
- 3.2 Projektovanje statičkih logičkih kola
- 3.3 Simboličko projektovanje
- 3.4 Projektovanje dinamičkih logičkih kola
- 3.5 Projektovanje veza
- 3.6 Uzroci otkaza

LEDA - Laboratory for Electronic Design Automation
<http://leda.elfak.ni.ac.yu/>



99